



## PLANO DE ENSINO

### 1. IDENTIFICAÇÃO

Componente Curricular:	ELETRÔNICA DIGITAL								
Unidade Ofertante:	FACULDADE DE ENGENHARIA ELÉTRICA								
Código:	FEELT36508	Período/Série:	5º PERÍODO		Turma:	UA			
Carga Horária:				Natureza:					
Teórica:	30	Prática:	00	Total:	30	Obrigatória:	(X)	Optativa:	( )
Professor(A):	JÚLIO CÉZAR COELHO				Ano/Semestre:	2023/2			
Observações:									

### 2. EMENTA

Introdução à representação numérica de dados, Portas lógicas, Circuitos CMOS Digitais, Lógica combinacional, Lógica sequencial, Conversão de dados e Introdução à lógica programável.

### 3. JUSTIFICATIVA

A disciplina de Eletrônica Digital é responsável pela introdução da lógica booleana, permitindo ao discente a compreensão dos elementos e estruturas básicos da lógica combinacional e sequencial, visando construir uma base de conhecimento necessária à competência geral das Engenharias voltada à formulação e concepção de projetos de sistemas digitais, servindo ainda como alicerce para o correto aprendizado das demais componentes curriculares do curso. Além disso, as tecnologias atualmente disponíveis no mercado para a implementação dos equipamentos eletrônicos de comunicação, de informática e de automação apresentam como princípios básicos de projeto, os conceitos teórico-práticos fundamentais apresentado pela disciplina Eletrônica Digital, sendo portanto tal conhecimento fundamental para o domínio dessas tecnologias.

### 4. OBJETIVO

Ao final da disciplina o estudante será capaz de:

1. Analisar e projetar circuitos lógicos digitais combinacionais e sequenciais, interpretando-os e resolvendo problemas práticos;
2. Caracterizar e avaliar parâmetros de funcionamento de componentes comerciais com o intuito de aplicar no desenvolvimento e projeto;
3. Identificar os diferentes tipos de memórias, arquiteturas internas e aplicações.

Entre as competências a serem desenvolvidas no estudante destacam-se:

1. Formular, de maneira ampla e sistêmica, questões de engenharia, considerando o usuário e seu contexto, concebendo soluções criativas, bem como o uso de técnicas adequadas;
2. Ser capaz de modelar os fenômenos, os sistemas físicos e químicos, utilizando as ferramentas matemáticas, estatísticas, computacionais e de simulação, entre outras;
3. Prever os resultados dos sistemas por meio dos modelos;
4. Conceber experimentos que gerem resultados reais para o comportamento dos fenômenos e sistemas em estudo;
5. Verificar e validar os modelos por meio de técnicas adequadas;
6. Ser capaz de conceber e projetar soluções criativas, desejáveis e viáveis, técnica e economicamente, nos contextos em que serão aplicadas;
7. Projetar e determinar os parâmetros construtivos e operacionais para as soluções de Engenharia;
8. Ser capaz de expressar-se adequadamente, seja na língua pátria ou em idioma diferente do Português, inclusive por meio do uso consistente das tecnologias digitais de informação e comunicação (TDICs), mantendo-se sempre atualizado em termos de métodos e tecnologias disponíveis;
9. Aprender a aprender.

### 5. PROGRAMA

#### 1. Introdução à representação numérica de dados

- 1.1 Grandezas analógicas versus grandezas digitais
- 1.2 Sistemas de numeração: decimal, binário, hexadecimal e octal
- 1.3 Sistemas de codificação Gray e BCD

#### 2. Portas lógicas

- 2.1 Inversor
- 2.2 "OR" e "NOR"
- 2.3 "AND" e "NAND"
- 2.4 "Exclusive-OR"
- 2.5 Tecnologia de portas lógicas
- 2.6 Descrição de portas lógicas utilizando VHDL

#### 3. Circuitos CMOS Digitais

- 3.1 Caracterização estática e dinâmica de portas; potência versus velocidade
- 3.2 O inversor CMOS e conceitos fundamentais de circuitos digitais: características de transferência de tensão, margem de ruído, atraso de propagação, dissipação de potência, produto atraso-potência, Fan-in e Fan-out.

#### 4. Lógica combinacional

- 4.1 Tabela verdade
- 4.2 Álgebra booleana
- 4.3 Análise e síntese
- 4.4 Técnicas de minimização
- 4.5 Aplicações
- 4.6 Descrição de tabelas verdade utilizando VHDL

## 5. Lógica sequencial

- 5.1 "Latches" e "Flip-flops"
- 5.2 Análise e síntese de circuitos sequenciais síncronos e assíncronos
- 5.3 Aplicações
- 5.4 Descrição de "Flip-flops" e circuitos derivados utilizando VHDL

## 6. Conversão de dados

- 6.1 Conversores D/A
- 6.2 Conversores A/D

## 7. Introdução à lógica programável

- 7.1 PLD - "Programmable Logical Devices"
- 7.2 CPLD - "Complex Programmable Logical Devices"
- 7.3 FPGA - "Field Programmable Gate Arrays"
- 7.4 Linguagem de descrição de "hardware"
- 7.5 Aplicações

## 6. METODOLOGIA

### • Disponibilização de Materiais e Dinâmica da Disciplina

A disciplina utiliza o Teams como suporte, para envio de atividades e disponibilização de materiais. A inscrição é obrigatória e preferencialmente deve ser realizada na primeira semana de aula.

O [Link](https://teams.microsoft.com/l/team/19%3am_U4hqr8FhiO9nPyTUh1La6ZJTCPRGv0xpGc4T28prY1%40thread.tacv2/conversations?groupId=f33c5e0f-044f-45d8-904b-de7f5f344b91&tenantId=cd5e6d23-cb99-4189-88ab-1a9021a0c451) é [https://teams.microsoft.com/l/team/19%3am\\_U4hqr8FhiO9nPyTUh1La6ZJTCPRGv0xpGc4T28prY1%40thread.tacv2/conversations?groupId=f33c5e0f-044f-45d8-904b-de7f5f344b91&tenantId=cd5e6d23-cb99-4189-88ab-1a9021a0c451](https://teams.microsoft.com/l/team/19%3am_U4hqr8FhiO9nPyTUh1La6ZJTCPRGv0xpGc4T28prY1%40thread.tacv2/conversations?groupId=f33c5e0f-044f-45d8-904b-de7f5f344b91&tenantId=cd5e6d23-cb99-4189-88ab-1a9021a0c451)

### • Conteúdo Programático para Atividades Teóricas Presenciais

As aulas teóricas serão realizadas às quartas-feiras das 14h00min às 15h40min, no Bloco G da UNIPAM, sala 205.

AULAS	DATA	CONTEÚDO
1-2	10/01/2024	Apresentação da Disciplina (plano de ensino): Conteúdo programático, Método de avaliação, Datas das provas e bibliografia. Introdução à representação numérica de dados: Grandezas analógicas (contínuas) e grandezas digitais (discretas). Sistemas de numeração, definição de bit, necessidade de utilização do sistema binário e conveniência das bases octal e hexadecimal, conversão decimal-binário-octal-hexadecimal, tamanho de palavra, byte, word. Codificação de caracteres, Gray, BCD, ASCII.
3-4	17/01/2024	Portas lógicas: Lógica, funções lógicas, circuitos lógicos, portas lógicas, tabela verdade.
5-6	24/01/2024	Lógica combinacional: Descrição algébrica de circuitos lógicos, Álgebra de Boole - Postulados e Teoremas, Teorema de DeMorgan, universalidade das portas NAND e NOR.
7-8	31/01/2024	Análise de circuitos lógicos, mapa de Karnaugh, soma de produtos e produto de somas. Simplificação de circuitos lógicos. Técnicas de minimização.
9-10	07/01/2024	Circuitos combinacionais: somadores, subtratores, comparadores, codificadores e decodificadores, conversores de código, multiplexadores e demultiplexadores.
<b>11-12</b>	<b>21/02/2024</b>	<b>Prova 1</b>
13-14	28/02/2024	Tecnologias de portas lógicas e circuitos integrados, TTL, CMOS, velocidade e atraso de propagação, carregamento, dissipação de potência, produto atraso-potência, "Fan-in" e "fan out".
15-16	06/03/2024	Análise dos circuitos básicos de uma porta lógica, Coletor/dreno aberto, "tristate" e dispositivos "schmitt-trigger"
17-18	13/03/2024	"Latches" e "Flip-flops", conceito, tipos e operação. Pulse-triggered/edge-triggered flip-flops, flip-flop mestre escravo, entradas assíncronas.
19-20	20/03/2024	Monoestáveis, biestáveis e astáveis, Registradores, Registradores de Deslocamento
21-22	27/03/2024	Contadores assíncronos e síncronos; Projeto de Contadores Síncronos
23-24	03/04/2024	Projeto de Contadores Síncronos
<b>25-26</b>	<b>10/04/2024</b>	<b>Prova 2</b>
27-28	17/04/2024	Avaliação de recuperação - Toda a matéria
29-30	24/04/2024	Conclusão da Disciplina - Vista de atividades avaliativas, Lançamento de Notas

### • Conteúdo Programático para Atividades Acadêmicas Extras (AAE)

Aula	Data	Conteúdo
1-2	28/02/2024	Pesquisa sobre FPGA (mínimo 10 páginas úteis)
3-4	13/03/2024	Pesquisa sobre Contadores Síncronos (mínimo 10 páginas úteis)
5-6	27/03/2024	Pesquisa sobre conversores A/D e D/A (mínimo 10 páginas úteis)

	Teórica	Prática
<b>C.H Presencial Total</b>	30	0

	Teórica	Prática
<b>C.H. Atividade Acadêmica Extra Total</b>	6	0
<b>C.H. Total da disciplina</b>	36 h.a.	0

- **Atendimento**

O atendimento aos alunos da disciplina será realizado de forma presencial no LAPSE sala 15, no prédio Bloco Alfa, as terças entre 13h e 15h, ou outro dia desde que agendado com o professor previamente.

## 7. AVALIAÇÃO

- **Aproveitamento**

A avaliação de desempenho dos discentes será feita por meio de provas, trabalhos e exercícios. O cronograma de atividades avaliativas e a distribuição da pontuação é apresentada abaixo. São avaliações individuais e plágio de qualquer tipo acarretará em ter a nota da avaliação zerada. Os resultados das avaliações serão divulgados no Moodle da disciplina. A divulgação das notas acontecerá em até 15 dias úteis após a sua realização e a vista de prova deverá ser agendada pelos alunos, a partir da data de divulgação das notas, respeitando-se o prazo de no máximo 5 dias úteis, como previsto na Resolução do CONGRAD (Nº46/2022).

DATA	ATIVIDADE AVALIATIVA	PONTUAÇÃO
21/02/2024	1ª Prova Parcial	20
-	AAE	30
10/04/2024	2ª Prova Parcial	30
distribuídos ao longo do período.	Trabalhos surpresa em sala de aula	20
TOTAL		100 pontos

- **Frequência**

A frequência para aulas presenciais será aferida por chamada oral durante as aulas, já para a horas vinculadas a parte AAE estas serão aferidas com a entrega das atividades propostas.

- **Recuperação\***

A prova de recuperação somente será aplicada àquele estudante que não obtiver o rendimento mínimo para aprovação e com frequência mínima de 75% no componente curricular, conforme Resolução do CONGRAD (Nº46/2022). A nota desta prova substituirá a menor das notas obtidas nas Provas 1 ou 2 e abrangerá todo o conteúdo da disciplina, sendo a nota final limitada a 60 pontos.

## 8. DIREITOS AUTORAIS

Os materiais disponibilizados no ambiente virtual (como vídeos, textos, arquivos de voz, etc.) possuem licença de uso e distribuição específica, sendo vedada a distribuição do material cuja a licença não permita ou sem a autorização prévia dos professores para o material de sua autoria. Os responsáveis pela reprodução ou uso indevido do material de autoria dos(as) docentes ficam sujeitos às sanções administrativas e as dispostas na Lei de Direitos Autorais (Lei nº 9.610, de 19 de fevereiro de 1998).

## 9. BIBLIOGRAFIA

### Básica

1. TOCCI, R. J.; WIDMER, N. S.; MOSS, Gregory L. **Sistemas digitais: princípios e aplicações**. 11. ed. São Paulo: Pearson Education do Brasil, 2011.
2. FLOYD, T. L. **Sistemas Digitais - Fundamentos e Aplicações**, São Paulo: Bookman, 9 ed., 2007.
3. IDOETA, I. V.; CAPUANO, F. G. **Elementos de eletrônica digital**. 40 ed. São Paulo: Érica, 2007.

### Complementar

1. D'AMORE, R. **VHDL: descrição e síntese de circuitos digitais**. 2. ed. Rio de Janeiro: LTC, 2012.
2. PEDRONI, V. **Eletrônica digital moderna e VHDL**, Rio de Janeiro: Elsevier, 2010.
3. RAZAVI, B. **Fundamentos de microeletrônica**. Rio de Janeiro: LTC, 2010.
4. SEDRA, A. S.; SMITH, K. C. **Microeletrônica**. São Paulo: Prentice Hall, 2007.
5. VAHID, F. **Sistemas Digitais: Projeto, Otimização e HDLS**. Rio Grande do Sul: Artmed: Bookman, 2008.

## 10. APROVAÇÃO

Aprovado em reunião do Colegiado conforme Decisão Administrativa do Colegiado anexada ao processo referenciado.

Coordenação do Curso de Graduação: \_\_\_\_\_



Documento assinado eletronicamente por **Júlio César Coelho, Professor(a) do Magistério Superior**, em 02/02/2024, às 10:15, conforme horário oficial de Brasília, com fundamento no art. 6º, § 1º, do [Decreto nº 8.539, de 8 de outubro de 2015](#).



Documento assinado eletronicamente por **Daniel Costa Ramos, Coordenador(a)**, em 15/02/2024, às 08:54, conforme horário oficial de Brasília, com fundamento no art. 6º, § 1º, do [Decreto nº 8.539, de 8 de outubro de 2015](#).



A autenticidade deste documento pode ser conferida no site [https://www.sei.ufu.br/sei/controlador\\_externo.php?acao=documento\\_conferir&id\\_orgao\\_acesso\\_externo=0](https://www.sei.ufu.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0), informando o código verificador **5098946** e o código CRC **4B499618**.